

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

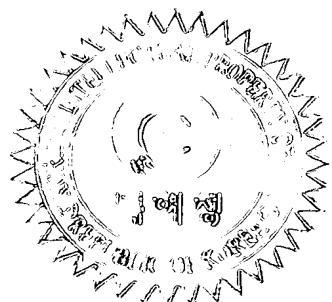
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0000837
Application Number

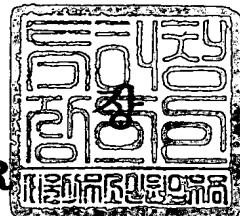
출원년월일 : 2003년 01월 07일
Date of Application JAN 07, 2003

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 06 월 12 일

특허청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2003.01.07
【국제특허분류】	H01L
【발명의 명칭】	자기 정렬된 컨택 패드 분리를 위한 화학적 기계적 평탄화 공정
【발명의 영문명칭】	Process of chemical mechanical polishing for isolating self-aligned contact pad
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	박정현
【성명의 영문표기】	PARK, Jeong Heon
【주민등록번호】	740820-1815017
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 룻데@ 945-1702
【국적】	KR
【발명자】	
【성명의 국문표기】	홍창기
【성명의 영문표기】	HONG, Chang Ki
【주민등록번호】	630921-1063611

【우편번호】 150-044
 【주소】 서울특별시 영등포구 당산동4가 32번지 70호 3층
 【국적】 KR

【발명자】

【성명의 국문표기】 이재동
 【성명의 영문표기】 LEE, Jae Dong
 【주민등록번호】 681011-1255513
 【우편번호】 442-470
 【주소】 경기도 수원시 팔달구 영통동 황골마을신명@ 204-1603
 【국적】 KR

【발명자】

【성명의 국문표기】 박영래
 【성명의 영문표기】 PARK, Young Rae
 【주민등록번호】 681011-1268214
 【우편번호】 442-070
 【주소】 경기도 수원시 팔달구 인계동 159 선경3차@ 302-202
 【국적】 KR

【발명자】

【성명의 국문표기】 김호영
 【성명의 영문표기】 KIM, Ho Young
 【주민등록번호】 740109-1038016
 【우편번호】 463-010
 【주소】 경기도 성남시 분당구 정자동 느티마을 공무원@ 302-404
 【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정
 에 의한 출원심사 를 청구합니다. 대리인
 이영필 (인) 대리인
 정상빈 (인)

【수수료】

【기본출원료】	20	면	29,000 원
【가산출원료】	2	면	2,000 원

1020030000837

출력 일자: 2003/6/13

【우선권주장료】	0	건	0	원
【심사청구료】	6	항	301,000	원
【합계】			332,000	원
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

본 발명의 화학적 기계적 평탄화 공정은, 주 패턴 주변에서, 자기 정렬된 컨택 홀 형성을 위한 식각 공정시 오픈되는 제1 검사 패턴 및 오픈되지 않는 제2 검사 패턴을 포함하는 반도체 소자의 자기 정렬된 컨택 패드 분리를 위한 평탄화 공정에 관한 것이다. 이 평탄화 공정에 의하면, 먼저 평탄화 이전의 제1 검사 패턴 및 제2 검사 패턴 사이의 제1 단차와, 평탄화 이후의 제1 검사 패턴 및 제2 검사 패턴 사이의 제2 단차와, 그리고 자기 정렬된 컨택 패드의 분리 정도 사이의 관계식을 설정한다. 그리고 처리 대상 반도체 소자에 대한 제1 단차 및 제2 단차를 측정한다. 다음에 측정값과 기준값을 비교하고, 비교 결과와 관계식을 고려하여 화학적 기계적 평탄화 시간을 보정함으로써, 소망하고자 하는 자기 정렬된 컨택 패드의 분리 정도를 얻을 수 있도록 한다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

자기 정렬된 컨택 패드 분리를 위한 화학적 기계적 평탄화 공정{Process of chemical mechanical polishing for isolating self-aligned contact pad}

【도면의 간단한 설명】

도 1 및 도 2는 종래의 자기 정렬된 컨택 패드 형성 방법을 설명하기 위하여 나타내 보인 도면들이다.

도 3은 본 발명에 따른 자기 정렬된 컨택 패드 분리를 위한 화학적 기계적 평탄화 공정을 설명하기 위하여 나타내 보인 플로우 채트이다.

도 4는 본 발명에 따른 자기 정렬된 컨택 패드 분리를 위한 화학적 기계적 평탄화 공정에서 제1 단차를 측정하는 과정을 설명하기 위하여 나타내 보인 평면도이다.

도 5는 도 4의 선 V-V'를 따라 절개하여 나타내 보인 단면도이다.

도 6 및 도 7은 본 발명에 따른 자기 정렬된 컨택 패드 분리를 위한 화학적 기계적 평탄화 공정에서 제2 단차를 측정하는 과정을 설명하기 위하여 나타내 보인 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 반도체 소자 제조를 위한 화학적 기계적 평탄화 공정에 관한 것으로서, 특히 자기 정렬된 컨택 패드 분리를 위한 화학적 기계적 평탄화 공정에 관한 것이다.

- <7> 최근, 반도체 소자가 미세화되어 라인 폭과 라인들 사이의 간격이 점점 감소되고 있으며, 이에 따라 포토리소그라피 공정에서의 해상도(resolution)도 또한 현저하게 증가하고 있다. 그러나 얼라인 기술(alignment technique)의 향상은 해상도의 증가 추세를 따라가지 못하고 있으며, 따라서 반도체 소자를 제조하는데 있어서, 미스얼라인 발생을 최소화하는 것이 중요한 관건으로 대두되고 있다. 이에 따라, 최근에는 미스얼라인 마진 확보를 위해서, 상하부를 전기적으로 연결하기 위한 패드 형성 방법으로서 자기 정렬된 컨택(SAC : Self Aligned Contact) 공정을 주로 사용한다.
- <8> 도 1 및 도 2는 종래의 자기 정렬된 컨택 패드 형성 방법을 설명하기 위하여 나타내 보인 도면들이다.
- <9> 먼저 도 1을 참조하면, 액티브 마스크(미도시)를 이용하여 반도체 기판(100)에 활성 영역(102)을 한정하는 아이솔레이션 영역(104)을 형성한다. 다음에 게이트 마스크를 이용하여 반도체 기판(100) 위에 게이트 스택(110)을 형성한다. 이 게이트 스택(110)은 게이트 절연막(111), 게이트 도전막(112) 및 게이트 캡층(113)을 순차적으로 적층한 후에 패터닝하여 형성한다. 경우에 따라서는 게이트 저항을 감소시키기 위하여, 게이트 도전막(112)과 게이트 캡층(113) 사이에 금속 실리사이드막을 형성할 수도 있다. 다음에 게이트 스택(110)의 측면을 덮은 게이트 스페이서(120)를 형성하고, 게이트 스페이서(120) 사이의 반도체 기판(100) 위에 절연막(130)을 형성한다. 절연막(130)으로는 실리콘 산화막을 사용하하고, 게이트 스페이서(120)와 게이트 캡층(113)은, 실리콘 산화막과의 선택비를 갖는 실리콘 질화막을 사용하여 형성한다.
- <10> 상기 게이트 스페이서(120)를 형성한 후에는 식각될 부분만을 노출시키는 마스크막 패턴(130)을 형성한다. 이어서 마스크막 패턴(130)을 식각 마스크로 게이트 스페이서

(120) 사이에서 노출되는 절연막(130)에 대한 식각 공정을 수행하여, 게이트 스페이서(120) 사이의 반도체 기판(100)의 일부 표면을 노출시키는 컨택 홀(140)을 형성한다. 절연막(130) 제거를 위한 식각이 이루어지는 동안, 게이트 스택(110)의 게이트 캡층(113)과 게이트 스페이서(120)의 일부도 함께 제거된다. 따라서 마스크막 패턴(130)으로 덮여 있던 게이트 스택(110)과 식각시에 노출되어 있던 게이트 스택(110) 사이에는 단차(d)가 생기게 된다.

<11> 다음에 도 2를 참조하면, 자기 정렬된 컨택 홀 형성을 위한 식각을 수행하고 나서 상기 마스크막 패턴(도 1의 130)을 제거한다. 그리고 전면에 컨택 패드로 사용될 도전성 물질막, 예컨대 폴리실리콘막(150)을 형성한다. 다음에 화학적 기계적 평탄화(CMP; chemical mechanical polishing) 공정을 수행함으로써 반도체 기판(100)의 액티브 영역(102) 위에서 게이트 스택(110)에 의해 상호 분리된 컨택 패드(150)들을 형성한다. 이 컨택 패드(150)들은 BC(Buried Contact) 패드 또는 DC(Direct Contact) 패드로 사용된다.

<12> 이와 같이 자기 정렬된 컨택 패드를 형성하는 과정에서, 자기 정렬된 컨택 홀 형성을 위한 식각 공정 및 화학적 기계적 평탄화 공정을 수행하는 것이 요구된다. 자기 정렬된 컨택 홀 형성을 위한 식각 공정이 수행되는 동안, 앞서 언급한 바와 같이, 제거되어야 하는 절연막(130)과 함께 게이트 캡층(113)도 일부 제거된다. 따라서 인접한 게이트 스택(110) 사이에 단차(d)가 존재하게 된다. 이 단차(d)는 후속 공정인 화학적 기계적 평탄화 공정 시간에 영향을 끼친다. 즉 상기 단차(d)의 크기에 따라, 인접하게 배치된 자기 정렬된 컨택 패드(150)가 충분히 분리되도록 하는 평탄화 공정 수행 시간이 변화한다.

<13> 종래에는 화학적 기계적 평탄화 공정이 수행된 샘플에서 자기 정렬된 컨택 패드의 분리 여부를 확인한 후에 화학적 기계적 평탄화 시간을 설정하여 공정을 진행하였다. 그러나 이 방법은 이전 단계인 자기 정렬된 컨택 홀 형성을 위한 식각 변수에 의한 게이트 스택(150) 사이의 단차(d) 변화를 고려하지 않은 방법이다. 따라서 자기 정렬된 컨택 홀 형성을 위한 식각 변수에 의해 게이트 스택(150) 사이의 단차(d)가 변화된 경우, 부적절한 평탄화 시간이 적용될 수 있으며, 이 경우 자기 정렬된 컨택 패드가 완전히 분리되지 못하는 현상이 발생할 수 있다는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

<14> 본 발명이 이루고자 하는 기술적 과제는, 자기 정렬된 컨택 홀 형성을 위한 식각 공정에 의한 인접 게이트 스택 사이의 단차 변화에도 정확한 화학적 기계적 폴리싱 시간을 설정할 수 있는 자기 정렬된 컨택 패드 분리를 위한 화학적 기계적 평탄화 공정을 제공하는 것이다.

【발명의 구성 및 작용】

<15> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 화학적 기계적 평탄화 공정은, 주 패턴 주변에서, 자기 정렬된 컨택 홀 형성을 위한 식각 공정시 오픈되는 제1 검사 패턴 및 오픈되지 않는 제2 검사 패턴을 포함하는 반도체 소자의 자기 정렬된 컨택 패드 분리를 위한 평탄화 공정에 있어서, 상기 평탄화 이전의 상기 제1 검사 패턴 및 제2 검사 패턴 사이의 제1 단차와, 상기 평탄화 이후의 상기 제1 검사 패턴 및 제2 검사 패턴 사이의 제2 단차와, 그리고 자기 정렬된 컨택 패드의 분리 정도 사이의 관계식을 설정하는 단계; 평탄화하고자 하는 반도체 소자에 대한 상기 제1 단차를 측정하는 단계; 상기 관계식을 참조하여 상기 측정된 제1 단차에 대응하는 적절한 평탄화 시간을 추

정하는 단계; 상기 추정된 시간동안 상기 반도체 소자에 대해 평탄화를 수행하고 상기 제2 단차를 측정하는 단계; 상기 관계식을 참조하여 상기 측정된 제2 단차에 대응하는 자기 정렬된 컨택 패드 분리 정도를 기준값과 비교하는 단계; 및 상기 비교 결과 충분한 자기 정렬된 컨택 패드 분리가 이루어지도록 평탄화 시간을 보정하여 다음 반도체 소자에 대해 적용시키는 단계를 포함하는 것을 특징으로 한다.

- <16> 상기 관계식은, 상기 제1 단차와 상기 평탄화 시간 사이의 비례 관계를 포함하는 것이 바람직하다.
- <17> 상기 관계식은, 상기 제2 단차와 상기 자기 정렬된 컨택 패드 분리 정도 사이의 비례 관계를 포함하는 것이 바람직하다.
- <18> 상기 제1 검사 패턴 및 제2 검사 패턴은 주 패턴과 동일한 크기 및 구조를 갖는 것이 바람직하다.
- <19> 이 경우 상기 주 패턴, 제1 검사 패턴 및 제2 검사 패턴은 게이트 절연막, 게이트 도전막 및 게이트 캡층이 순차적으로 적층된 구조를 갖는 것이 바람직하다.
- <20> 본 발명에 있어서, 상기 평탄화 공정을 수행하기 전에, 전면에 자기 정렬된 컨택 패드용 도전막을 형성하는 단계를 더 포함하는 것이 바람직하다.
- <21> 이하 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다.
- <22> 도 3은 본 발명에 따른 자기 정렬된 컨택 패드 분리를 위한 화학적 기계적 평탄화 공정을 설명하기 위하여 나타내 보인 플로우 차트이다. 그리고 도 4는 본 발명에 따른

자기 정렬된 컨택 패드 분리를 위한 화학적 기계적 평탄화 공정에서 제1 단차를 측정하는 과정을 설명하기 위하여 나타내 보인 평면도이고, 도 5는 도 4의 선 V-V'를 따라 절개하여 나타내 보인 단면도이다. 또한 도 6 및 도 7은 본 발명에 따른 자기 정렬된 컨택 패드 분리를 위한 화학적 기계적 평탄화 공정에서 제2 단차를 측정하는 과정을 설명하기 위하여 나타내 보인 단면도들이다.

<23> 먼저 도 3을 참조하면, 검사 패턴이 제작된 반도체 웨이퍼를 사용하여, 자기 정렬된 컨택 패드 분리를 위한 화학적 기계적 평탄화 공정 이전의 검사 패턴들 사이의 제1 단차와, 상기 화학적 기계적 평탄화 공정 이후의 검사 패턴들 사이의 제2 단차와, 그리고 자기 정렬된 컨택 패드의 분리 여부 사이의 관계식을 설정한다(단계 310). 즉 먼저 자기 정렬된 컨택 홀 형성을 위한 식각 공정 후, 또는 화학적 기계적 평탄화 공정 이전에 검사 패턴들 사이의 제1 단차를 측정한다. 이어서 자기 정렬된 컨택 패드용 도전막을 형성한다. 다음에 화학적 기계적 평탄화 공정을 수행하여 자기 정렬된 컨택 패드를 분리시킨다. 이때 검사 패턴들 사이의 제2 단차와 자기 정렬된 컨택 패드 분리 정도를 측정한다. 끝으로, 측정된 제1 단차, 제2 단차 및 자기 정렬된 컨택 패드 분리 정도 사이의 관계식을 설정한다.

<24> 상기 제1 단차를 측정하기 위해서, 도 4 및 도 5에 도시된 바와 같이, 먼저 검사 패턴이 포함된 반도체 웨이퍼를 제작한다. 이 반도체 웨이퍼는, 자기 정렬된 컨택 홀 형성시에 노출(open)되는 제1 영역(I)과 노출되지 않는 제2 영역(II)을 갖는다. 제1 영역(I) 및 제2 영역(II)에는 각각 주 패턴들과 검사 패턴들이 형성된다. 즉 제1 영역(I)에서의 반도체 기판(400) 위에는 복수개의 제1 검사 패턴(410)들이 상호 일정 간격 이격되도록 배치되고, 제2 영역(II)에서의 반도체 기판(400) 위에는 복수개의 제2 검사

패턴(430)들이 상호 일정 간격 이격되도록 배치된다. 제1 검사 패턴(410) 및 제2 검사 패턴(430)은 모두 동일한 크기 및 구조를 갖는 게이트 스택들이다.

<25> 제1 검사 패턴(410)은, 제1 게이트 절연막(411), 제1 게이트 도전막(412) 및 제1 게이트 캡층(413)이 순차적으로 적층되어 있는 구조를 갖는다. 경우에 따라서는, 게이트 저항을 감소시키기 위하여 제1 게이트 도전막(412)과 제1 게이트 캡층(413) 사이에 금속 실리사이드막을 형성할 수도 있다. 제1 검사 패턴(410)의 측면에는 제1 게이트 스페이서(420)가 배치된다. 마찬가지로, 제2 검사 패턴(430)도, 제2 게이트 절연막(431), 제2 게이트 도전막(432) 및 제2 게이트 캡층(433)이 순차적으로 적층되어 있는 구조를 가지며, 경우에 따라서 제2 게이트 도전막(432)과 제2 게이트 캡층(433) 사이에 게이트 저항을 감소시키기 위한 금속 실리사이드막을 포함할 수도 있다. 제2 검사 패턴(430)의 측면에는 제2 게이트 스페이서(440)가 배치된다. 제1 및 제2 게이트 도전막(412, 432)은 폴리실리콘막을 사용하여 형성하고, 제1 및 제2 게이트 스페이서(420, 440)와 제1 및 제2 게이트 캡층(413, 433)은 실리콘 질화막을 사용하여 형성한다.

<26> 자기 정렬된 컨택 홀 형성을 위한 식각 공정을 수행하기 위하여, 제1 영역(I)은 노출시키고 제2 영역(II)은 덮는 마스크막 패턴(460)을 형성한다. 이 마스크막 패턴(460)은 제2 검사 패턴(430)과 제2 검사 패턴(430) 사이의 절연막(440)을 덮는다. 반면 상기 마스크막 패턴(460)은 제1 검사 패턴(410)과 제1 검사 패턴(410) 사이의 절연막(미도시)은 노출시킨다. 이 상태에서 자기 정렬된 컨택 홀 형성을 위한 식각 공정을 수행한다. 이 식각 공정은 제1 영역(I)에서 반도체 기판(400)의 일부 표면이 노출될 때까지 수행된다. 식각 공정이 이루어지는 동안, 제2 영역(II) 내의 제2 검사 패턴(430) 및 절연막(440)은 마스크막 패턴(460)에 의해 원래의 높이를 유지한다. 그러나 제1 영역(I) 내의

절연막(미도시)은 완전히 제거되며, 제1 검사 패턴(410)은 원래의 높이를 유지하지 못한다. 그 이유는, 제1 영역(I) 내의 절연막이 식각되는 동안, 제1 검사 패턴(410) 또한 노출되어 있으므로, 제1 검사 패턴(410)의 게이트 캡층(413)도 일정 두께 식각된다. 게이트 캡층(413)의 식각량은 게이트 캡층(413) 재질과 절연막 재질 사이의 식각 선택비에 의해 결정된다. 결론적으로 자기 정렬된 컨택 홀 형성을 위한 식각 공정이 종료되면, 제1 영역(I)의 제1 검사 패턴(410)과 제2 영역(II)의 제2 검사 패턴(430) 사이의 제1 단차(d1)가 나타나게 된다. 이 제1 단차(d1)는 테스트용 반도체 웨이퍼를 절개하거나, 또는 마스크막 패턴(도 5의 460)을 제거한 후 또는 전면에 자기 정렬된 컨택 패드용 도전막, 예컨대 폴리실리콘막(470)을 형성한 후 단차 측정 계측 설비로 측정할 수 있다.

<27> 다음에 상기 제2 단차를 측정하기 위하여, 도 6에 도시된 바와 같이 마스크막 패턴(도 5의 460)을 제거하고, 전면에 자기 정렬된 컨택 패드용 도전막, 예컨대 폴리실리콘막(470)을 형성한다. 다음에 도 7에 도시된 바와 같이, 화학적 기계적 평탄화 공정을 수행하여 제1 영역(I) 내에서 자기 정렬된 컨택 패드(472)들을 완전히 상호 분리시킨다. 화학적 기계적 평탄화 공정이 수행되면, 제1 영역(I) 내의 제1 검사 패턴(410)의 높이 뿐만 아니라 제2 영역(II) 내의 제2 검사 패턴(430)의 높이 또한 줄어든다. 따라서 제1 영역(I)의 제1 검사 패턴(410)과 제2 영역(II)의 제2 검사 패턴(430) 사이의 제2 단차(d2)가 나타나게 된다. 폴리실리콘막(470)과 제2 검사 패턴(430) 사이의 선택비로 인하여, 제2 단차(d2)는 화학적 기계적 평탄화 시간이 길수록 커지게 된다. 이 제2 단차(d2)는 화학적 기계적 평탄화 설비 내의 측정 수단 또는 별도의 단차 측정 계측 설비를 사용하여 측정할 수 있다. 한편 제2 단차(d2) 측정 외에도 자기 정렬된 컨택 패드

(472)의 분리 정도도 또한 측정한다. 이 자기 정렬된 컨택 패드(472)의 분리 정도는 자기 정렬된 컨택 패드(472)의 폭을 측정함으로써 계산할 수 있다.

<28> 이와 같이 화학적 기계적 평탄화 이전의 제1 단차(d1), 화학적 기계적 평탄화 이후의 제2 단차(d2), 및 자기 정렬된 컨택 패드(472)의 분리 정도 사이에는 다음과 같은 관계가 나타나게 된다. 즉 제1 단차(d1)가 작으면, 화학적 기계적 평탄화 공정 시간이 감소되고, 이에 따라 제2 단차(d2)가 작아지면 자기 정렬된 컨택 패드(472)의 분리 정도로 낮아진다. 이에 반하여 제1 단차(d1)가 크면, 화학적 기계적 평탄화 공정 시간이 증가되고, 이에 따라 제2 단차(d2)가 커지면 자기 정렬된 컨택 패드(472)의 분리 정도로 높아진다. 구체적인 관계는 실제의 실험을 통한 측정값을 통해 얻을 수 있다.

<29> 단계 310을 수행한 후에는, 실제 처리 대상의 반도체 웨이퍼에 대한 자기 정렬된 컨택 홀 형성을 위한 식각 공정을 수행하여, 제1 영역에서의 제1 검사 패턴과 제2 영역에서의 제2 검사 패턴 사이의 제1 단차(d1)를 측정한다(단계 320). 제1 단차(d1)를 측정하는 과정은, 이미 설명한 테스트용 반도체 웨이퍼에 대해 제1 단차를 측정하는 과정과 동일하므로 생략한다. 다음에 자기 정렬된 컨택 패드용 도전막으로서 폴리실리콘막을 형성한다. 그리고 단계 310에서 설정된 관계식에 의해 측정된 제1 단차(d1)에 대응하는 화학적 기계적 평탄화 시간을 설정한다(단계 330). 다음에 설정된 화학적 기계적 평탄화 시간동안 화학적 기계적 평탄화 공정을 수행한다(단계 340).

<30> 화학적 기계적 평탄화 공정을 수행한 후, 제1 영역에서의 제1 검사 패턴과 제2 영역에서의 검사 패턴 사이의 제2 단차(d2)를 측정한다(단계 350). 제2 단차(d2)를 측정하는 과정은, 이미 설명한 테스트용 반도체 웨이퍼에 대해 제2 단차를 측정하는 과정과 동일하므로 생략한다. 다음에 측정된 제2 단차(d2)가 기준

값과 동일한 지의 여부를 판단한다(단계 360). 여기서 기준값은 소망하는 자기 정렬된 컨택 패드 분리 정도가 나타나도록 하는 제2 단차값이다. 이 판단 결과 제2 단차(d2)가 기준값과 같은 경우, 즉 자기 정렬된 컨택 패드 분리 정도가 소망하는 정도로 나타난 경우에는, 동일한 조건으로 다음 반도체 웨이퍼에 대한 화학적 기계적 평탄화 공정을 수행한다. 그러나 상기 판단 결과 제2 단차(d2)가 기준값과 같지 않은 경우, 즉 자기 정렬된 컨택 패드 분리 정도가 소망하는 정도로 나타나지 않은 경우에는 단계 310에서의 관계식에 따라 적절한 화학적 기계적 평탄화 시간을 보정한다(단계 370). 다음에 모든 처리 대상 반도체 웨이퍼에 대한 화학적 기계적 평탄화 공정이 종료되었는지의 여부를 판단한다(단계 380). 이 판단 결과, 모든 처리 대상 반도체 웨이퍼에 대한 화학적 기계적 평탄화 공정이 종료된 경우, 화학적 기계적 평탄화 공정을 종료시킨다. 상기 판단 결과, 처리 대상 반도체 웨이퍼가 남은 경우, 단계 340으로 궤환하여 다음 처리 대상 반도체 웨이퍼에 대한 화학적 기계적 평탄화 공정을 수행한다. 이때의 화학적 기계적 평탄화 시간은 단계 370에서 보정된 화학적 기계적 평탄화 시간이다.

<31> 이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능함은 당연하다.

【발명의 효과】

<32> 이상의 설명에서와 같이, 본 발명에 따른 자기 정렬된 컨택 패드 분리를 위한 화학적 기계적 평탄화 공정에 의하면, 검사 패턴이 형성된 테스트용 반도체 웨

이퍼를 이용하여 설정된 관계식에 의해, 자기 정렬된 컨택 홀 형성을 위한 식각 공정으로 인한 게이트 캡층의 제거분이 고려되어 화학적 기계적 평탄화 시간이 보정되므로, 자기 정렬된 컨택 홀 형성을 위한 식각 공정에 의해 인접 게이트 스택 사이의 단차 변화에도 정확한 화학적 기계적 폴리싱 시간을 설정할 수 있다.

【특허청구범위】**【청구항 1】**

주 패턴 주변에서, 자기 정렬된 컨택 홀 형성을 위한 식각 공정시 오픈되는 제1 검사 패턴 및 오픈되지 않는 제2 검사 패턴을 포함하는 반도체 소자의 자기 정렬된 컨택 패드 분리를 위한 평탄화 공정에 있어서,

상기 평탄화 이전의 상기 제1 검사 패턴 및 제2 검사 패턴 사이의 제1 단차와, 상기 평탄화 이후의 상기 제1 검사 패턴 및 제2 검사 패턴 사이의 제2 단차와, 그리고 자기 정렬된 컨택 패드의 분리 정도 사이의 관계식을 설정하는 단계;

평탄화하고자 하는 반도체 소자에 대한 상기 제1 단차를 측정하는 단계;
상기 관계식을 참조하여 상기 측정된 제1 단차에 대응하는 적절한 평탄화 시간을
추정하는 단계;

상기 추정된 시간동안 상기 반도체 소자에 대해 평탄화를 수행하고 상기 제2 단차
를 측정하는 단계;

상기 관계식을 참조하여 상기 측정된 제2 단차에 대응하는 자기 정렬된 컨택 패드
분리 정도를 기준값과 비교하는 단계; 및

상기 비교 결과 충분한 자기 정렬된 컨택 패드 분리가 이루어지도록 평탄화 시간을
보정하여 다음 반도체 소자에 대해 적용시키는 단계를 포함하는 것을 특징으로 하는 화
학적 기계적 평탄화 공정.

【청구항 2】

제1항에 있어서,

상기 관계식은, 상기 제1 단차와 상기 평탄화 시간 사이의 비례 관계를 포함하는 것을 특징으로 하는 화학적 기계적 평탄화 공정.

【청구항 3】

제1항에 있어서,

상기 관계식은, 상기 제2 단차와 상기 자기 정렬된 컨택 패드 분리 정도 사이의 비례 관계를 포함하는 것을 특징으로 하는 화학적 기계적 평탄화 공정.

【청구항 4】

제1항에 있어서,

상기 제1 검사 패턴 및 제2 검사 패턴은 주 패턴과 동일한 크기 및 구조를 갖는 것을 특징으로 하는 화학적 기계적 평탄화 공정.

【청구항 5】

제4항에 있어서,

상기 주 패턴, 제1 검사 패턴 및 제2 검사 패턴은 게이트 절연막, 게이트 도전막 및 게이트 캡층이 순차적으로 적층된 구조를 갖는 것을 특징으로 하는 화학적 기계적 평탄화 공정.

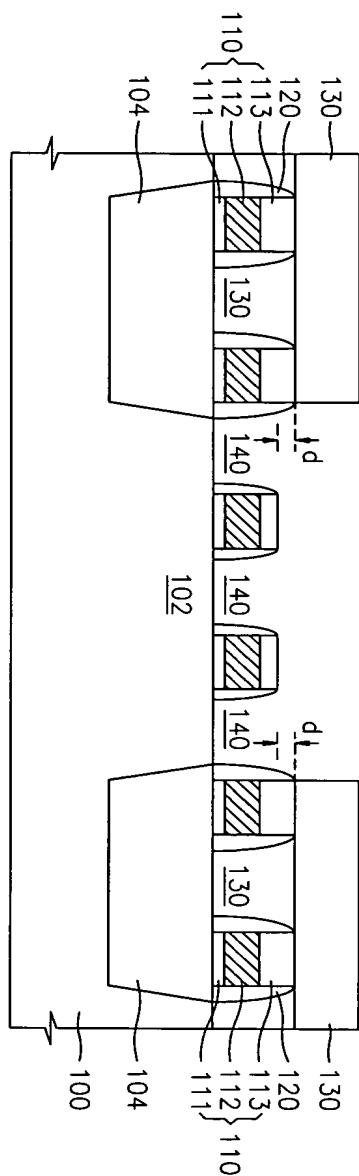
【청구항 6】

제1항에 있어서,

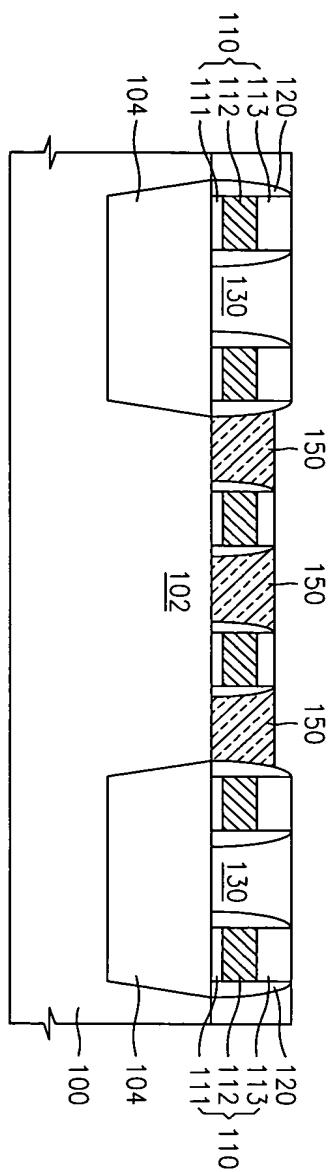
상기 평탄화 공정을 수행하기 전에, 전면에 자기 정렬된 컨택 패드용 도전막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 화학적 기계적 평탄화 공정.

【도면】

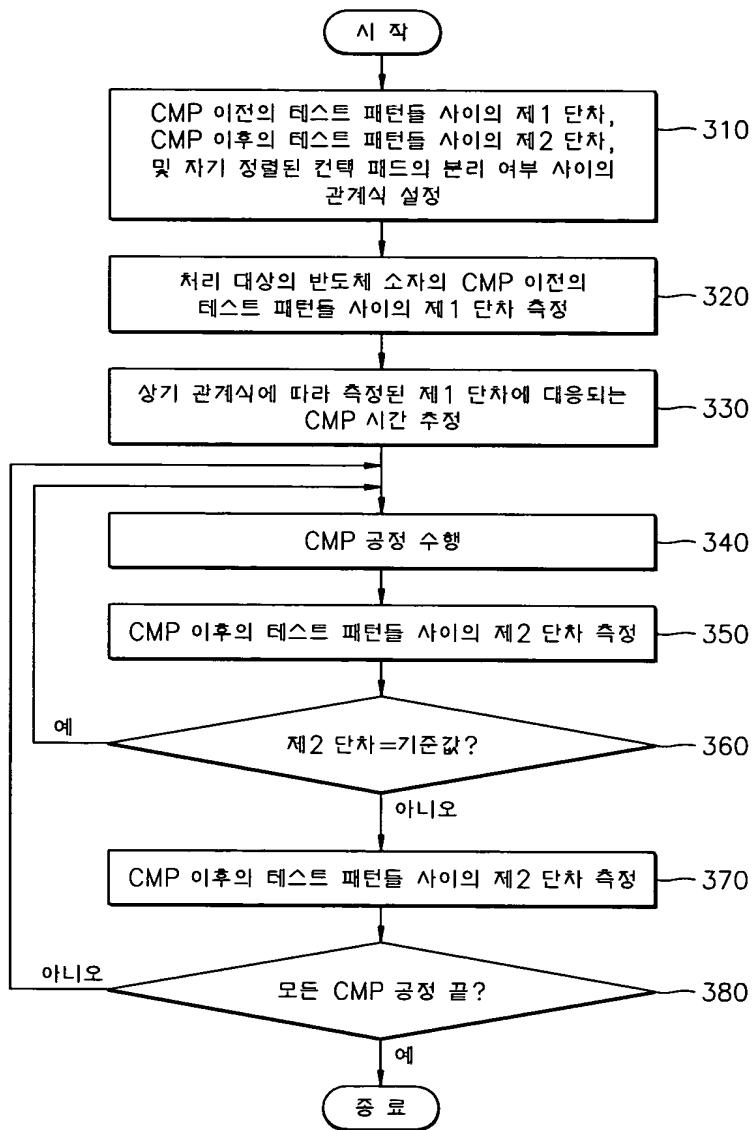
【도 1】



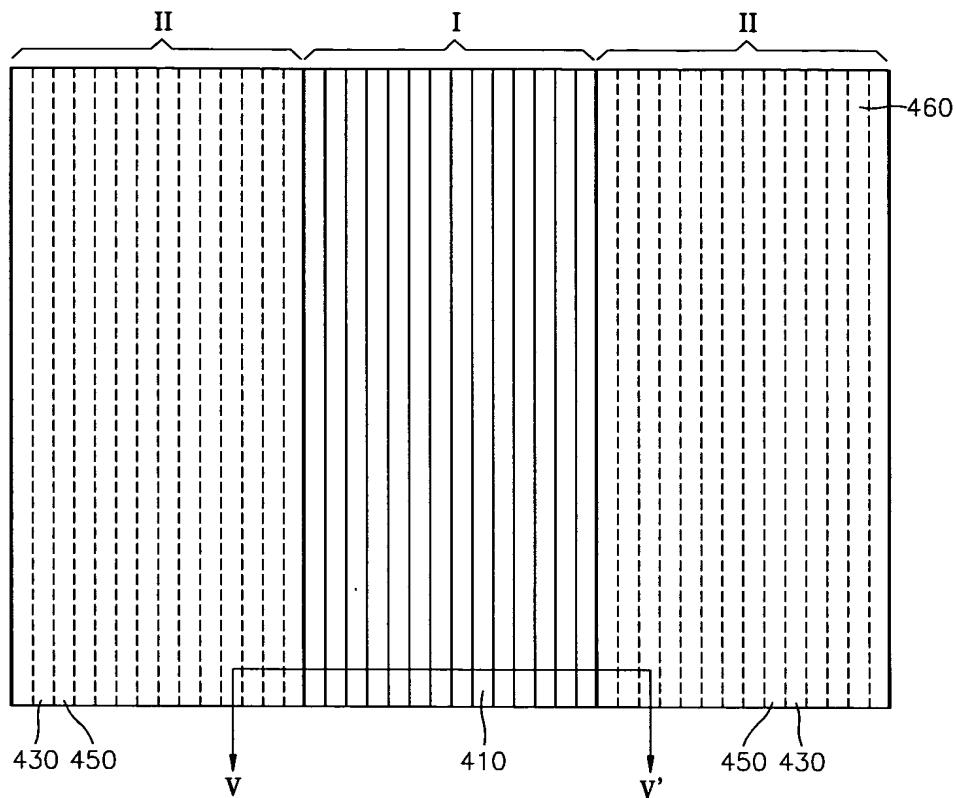
【도 2】



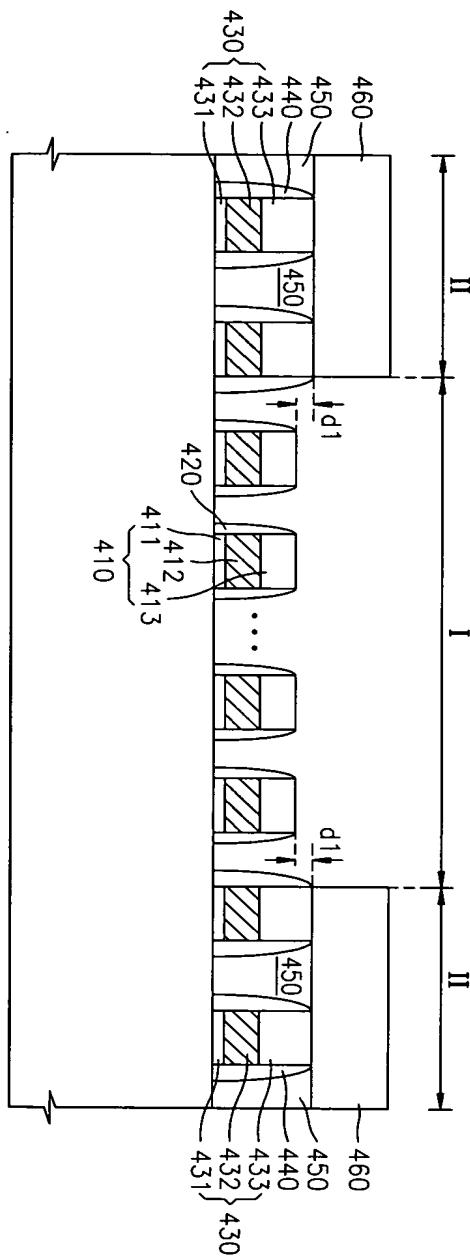
【도 3】



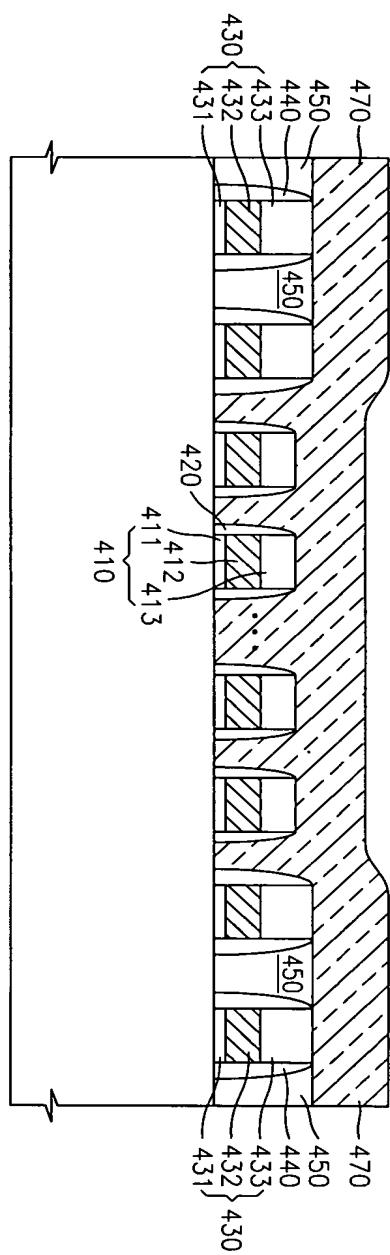
【도 4】



【도 5】



【도 6】



【도 7】

